

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284291

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 21/301
H01L 33/00
H01S 5/323

(21)Application number : 2000-099893

(71)Applicant : TOYODA GOSEI CO LTD

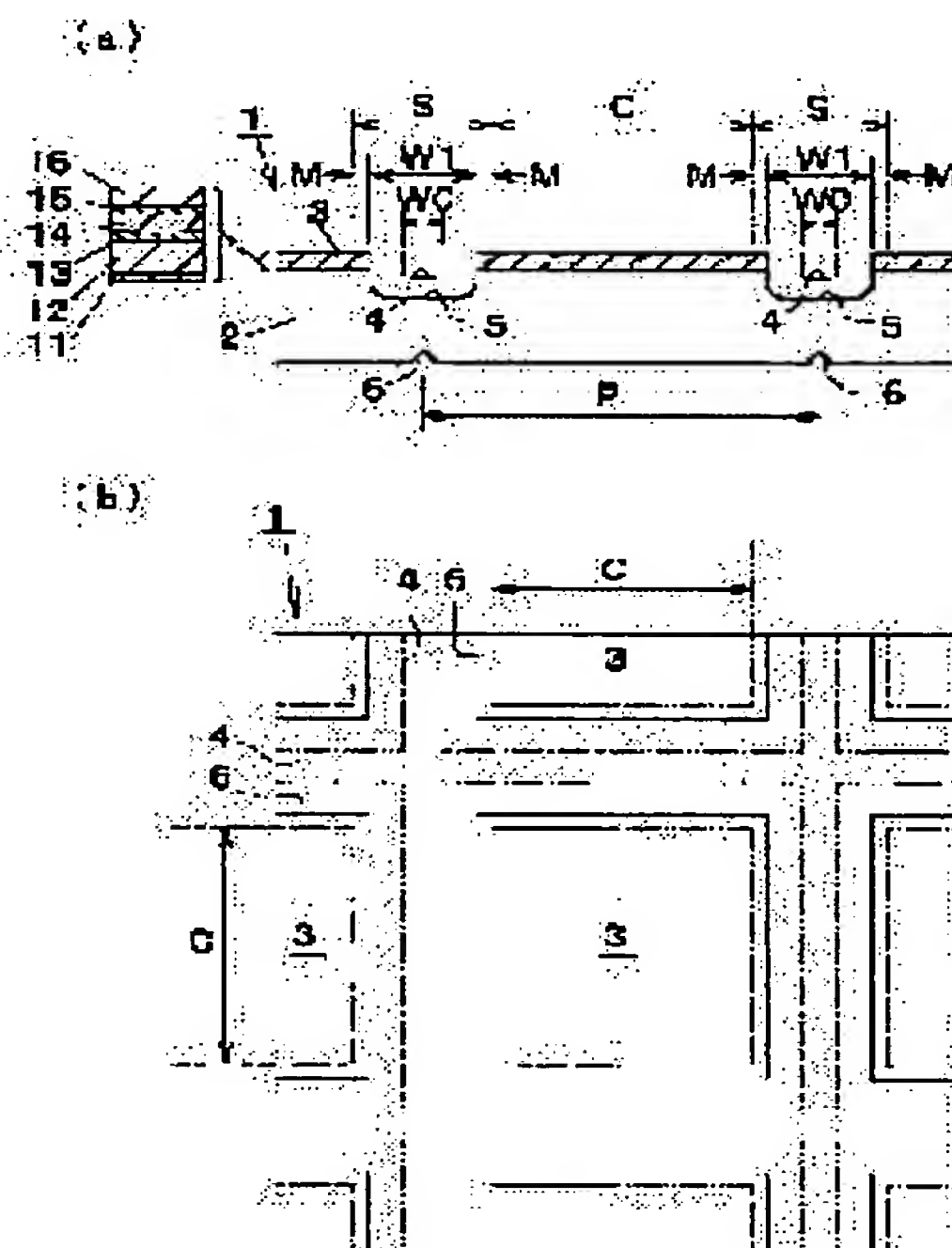
(22)Date of filing : 31.03.2000

(72)Inventor : KAMIMURA TOSHIYA
HASHIMURA MASAKI

(54) CHIP DIVISION METHOD FOR SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the number of excellent products by improving yield in division.

SOLUTION: The method comprises a process for forming a relatively narrow and shallow pre-groove 4 of a width W_0 on the surface of a semiconductor layer formation side of a semiconductor wafer 1 by dicing, and a process for forming a relatively wide and deep groove 5 of a width W_1 on the surface by dicing by hollowing out the pre-groove 4. A margin width M is added to both sides of the width W_1 of the wide groove 5 and set as a cutting margin S , and the cutting margin S is added to a chip effective width C and set as a division pitch P .

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the approach of dividing into many semiconductor chips the semi-conductor wafer with which it comes to form a semi-conductor layer on a substrate The process which forms the pre slot where width of face is narrow and, where the depth is shallow by dicing relatively [front face / by the side of the semi-conductor stratification of said semi-conductor wafer], The chip division approach of the semi-conductor wafer characterized by including the process which is this front face, and forms the broad slot where width of face is wide and, where the depth is deep by dicing relatively [cost / end] as scoops out said pre slot.

[Claim 2] The chip division approach of the semi-conductor wafer characterized by including the process which forms the broad slot where width of face is wide by dicing relatively [front face / by the side of the semi-conductor stratification of said semi-conductor wafer], and the process which forms the narrow additional slot on the width of face by dicing relatively [groove bottom / of this broad slot] in the approach of dividing into many semiconductor chips the semi-conductor wafer with which it comes to form a semi-conductor layer on a substrate.

[Claim 3] The chip division approach of a semi-conductor wafer according to claim 1 or 2 that said substrate consists of a with a Mohs hardness of eight or more high degree-of-hardness ingredient.

[Claim 4] The chip division approach of a semi-conductor wafer according to claim 1 or 2 that said substrate consists of sapphire or GaN, and said semi-conductor layer consists of a gallium nitride system compound semiconductor.

[Claim 5] The chip division approach of a semi-conductor wafer given in any 1 term of claims 1-4 which apply a margin width to the both sides of the width of face of said broad slot, set up as end cost, add this end cost to chip effective width, and are set up as a division pitch.

[Claim 6] The chip division approach of the semi-conductor wafer according to claim 5 which sets width of face of said broad slot to 30-65 micrometers, sets a margin width to 5-15 micrometers, has and sets end cost to 60-75 micrometers.

[Claim 7] The chip division approach of the semi-conductor wafer according to claim 1, 3, 4, 5, or 6 which sets width of face of said pre slot to 10-30 micrometers.

[Claim 8] The chip division approach of the semi-conductor wafer according to claim 2, 3, 4, 5, or 6 which sets width of face of said additional slot to 10-30 micrometers.

[Claim 9] The chip division approach of a semi-conductor wafer given in any 1 term of claims 1-8 including the process which carries out a scribe to the groove bottom of said broad slot, or the front face by the side of the semi-conductor layer agenesis of the semi-conductor wafer corresponding to said broad slot, and forms a scribe line in it.

[Claim 10] The chip division approach of a semi-conductor wafer including the process which braking-divides said semi-conductor wafer into a semiconductor chip with said scribe line as the starting point according to claim 9.

[Claim 11] The chip division approach of the semi-conductor wafer according to claim 2 which forms so that said additional slot may be attained to the front face by the side of the semi-conductor layer agenesis of a semi-conductor wafer, and is divided into a semiconductor chip.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach of dividing into many semiconductor chips the semi-conductor wafer with which it comes to form a semi-conductor layer on a substrate.

[0002]

[Description of the Prior Art] After forming a slot in a wafer by dicing or forming a scribe line by the scribe as an approach of dividing a semi-conductor wafer, while starting from said slot or a scribe line according to braking, the method of breaking a wafer along with them is common. Dicing is the approach of making the rotary knife and wafer of a dicer (dicing saw) displaced relatively, and forming a dicing slot in a wafer. A scribe is the approach of making the acute cutting edge and wafer of a scriber displaced relatively, and forming a scribe line in a wafer. Braking is the approach of breaking a wafer, by pressing a wafer with a press cutting edge or a press roller, and performing tripartite bending.

[0003] In the semi-conductor wafer using the substrate which consists of high degree-of-hardness ingredients (for example, sapphire, GaN, etc.), only by forming a shallow dicing slot or a scribe line, braking needed to be carried out, after adding the device of carrying out dicing deeply, or carrying out a scribe after carrying out the thinning of the substrate sharply, since it is difficult to break a wafer according to braking. For example, one method of dividing the wafer with which the laminating of the gallium nitride system compound semiconductor was carried out on the front face of silicon on sapphire in the shape of a chip is explained with reference to drawing 7.

[0004] ** It is a front face by the side of semi-conductor layer 53 formation of the semi-conductor wafer 51, and form a slot 55 in the center section of the end cost S by dicing.

** Carry out the thinning of this substrate 52 uniformly by grinding the front face by the side of the semi-conductor layer agenesi s of silicon on sapphire 52.

** It is a front face by the side of the semi-conductor layer agenesi s which appeared in this thinning, and form the scribe line 56 in the location corresponding to said slot 55 by the scribe.

** Carry out braking with the scribe line 56 as the starting point, and divide into many semiconductor chips 60.

[0005] Here, margin-width M is taken on both sides of the width of face W of a slot 55, it considers as the end cost S, and the value which added this end cost S to the chip effective width C is set up as a division pitch P. And the present gallium nitride system compound semiconductor light emitting device is manufactured in general considering the chip effective width C as 300-400 micrometers, and sets chip effective width C of drawing 7 to 320 micrometers.

[0006] The end cost S was small set up with 40-micrometer (value of both sides of parting line: one side every 20 micrometers) extent from a viewpoint that the total number of **** of the semiconductor chip 60 which can be divided and taken from one semi-conductor wafer 51 increases, so that the end cost S was conventionally made small. And in order to prevent defect generating by the chipping of the semi-conductor layer 3, about 10 micrometers margin-width M (value of one side) is taken, and width of face W of a slot 55 was made small after all at about 20 micrometers. That is, the dicing cutting edge (rotary knife) with a width of tooth of about 20 micrometers was used, and the slot 55 was formed.

[0007]

[Problem(s) to be Solved by the Invention] However, there were the following problems in the above-mentioned chip division approach.

(1) Since the semi-conductor layer 53 which consists of the substrate 52 and gallium nitride system compound which consist of sapphire is very hard, if it is going to form the trench 55 with a depth of 20 micrometers or more using a dicing cutting edge with a width of tooth of 20 micrometers or more, the chipping of the semi-conductor layer 53 will generate it violently. Therefore, although only the slot 55 with a depth of about 10-20 micrometers could usually be formed, even if it was the depth to that extent, it had generated by remarkable frequency and the yield was bad [the chipping of the semi-conductor layer 53]. For this reason, "excellent article of the semiconductor chip 60 except the defective by a chipping etc. could be taken, and number" was not necessarily able to say it as the best figure.

[0008] (2) The dicing cutting edge with a small width of tooth has a short life, and requires cost.

[0009] (3) Since only the slot 55 with a depth of about 10-20 micrometers can be formed, need large thrust for braking and the following problem of (4) becomes easy to occur.

[0010] (4) Assume the crack 59 generated with the scribe line 56 as the starting point at the time of braking progressing in the abbreviation thickness direction of a substrate 52, and finishing it as somewhere in groove bottoms of a slot 55.

However, since it is small, as the width of face W of a slot 55 indicated it in the right-hand side of drawing 7 as about 20 micrometers, when a crack 59 progressed aslant to the thickness direction, it had become the cause to which it separates from a slot 55, even the semi-conductor layer 53 may be attained to, and this also worsens the yield.

[0011] The purpose of this invention is to offer the chip division approach of the semi-conductor wafer to which the above-mentioned technical problem can be solved, the yield in division can be raised, an excellent article can be taken, and a number can be made to increase.

[0012]

[Means for Solving the Problem] (1) In the approach the first this invention divides into many semiconductor chips the semi-conductor wafer with which it comes to form a semi-conductor layer on a substrate The process which is a front face

by the side of the semi-conductor stratification of said semi-conductor wafer, and forms the pre slot where width of face is narrow and, where the depth is shallow by dicing relatively [center section / of end cost]. It is characterized by including the process which is this front face, and forms the broad slot where width of face is wide and, where the depth is deep by dicing relatively [cost / end] as scoops out said pre slot. Of course, — is the relative relation between a pre slot and a broad slot relatively.

[0013] (2) In the approach of dividing into many semiconductor chips the semi-conductor wafer with which it comes to form a semi-conductor layer on a substrate, it is characterized by including the process which forms the broad slot where width of face is wide by dicing relatively [front face / by the side of the semi-conductor stratification of said semi-conductor wafer], and the process which forms the narrow additional slot on the width of face by dicing relatively [groove bottom / of this broad slot]. Of course, — is the relative relation between a broad slot and an additional slot relatively.

[0014] Here, "dicing" is good by the usual approach of performing in the rotary knife to which for example, the diamond abrasive grain adhered.

[0015] Although not limited by the component of a substrate, each above-mentioned means (1) and (2) are effective especially when it is what a substrate becomes from a with a Mohs hardness of eight or more high degree-of-hardness ingredient. For example, it is effective in especially division of the semi-conductor wafer with which a substrate consists of sapphire or GaN, and a semi-conductor layer consists of a gallium nitride system compound semiconductor.

[0016] In each means (1) and (2), it is desirable to apply a margin width to the both sides of the width of face of a broad slot, to set up as end cost, to add this end cost to chip effective width, and to set up as a division pitch. Although not limited, as for a broad slot, a margin width, and especially end cost, it is desirable to set width of face of a broad slot to 30–65 micrometers, to set a margin width to 5–15 micrometers, to have and to set end cost to 60–75 micrometers, and when especially a substrate consists of a with a Mohs hardness of eight or more high degree-of-hardness ingredient, they are desirable. When the width of face of a broad slot was small and the crack generated at the time of ** braking progresses aslant to the thickness direction of a substrate, the probability which a crack swerves from a broad slot and attains to a semi-conductor layer becomes high. ** When forming a scribe line in the groove bottom of a broad slot, a cutter stops being able to go into broad Mizouchi of a broad slot easily, and a scribe line is no longer formed normally again. ** Again, if the broad depth of flute is enlarged, it will become easy to produce a chipping. On the other hand, if the width of face of a broad slot is too large, in spite of improvement in the yield by chipping prevention, it can take and a number will decrease.

[0017] Moreover, in a means (1), although especially the width of face of a pre slot is not limited, it is desirable to be referred to as 10–30 micrometers. If it becomes easy to produce a chipping and the width of face of a pre slot is large, in case a broad slot will be formed, if the width of face of a pre slot is too small, in case a pre slot will be formed, it becomes easy to produce a chipping.

[0018] Moreover, in a means (2), although especially the width of face of an additional slot is not limited, it is desirable to be referred to as 10–30 micrometers. If the width of face of an additional slot is too small, while it will become difficult to form a deep additional slot, a dicing cutting edge becomes easy to break, and it becomes easy to attain to a semi-conductor layer without becoming easy to produce a chipping and settling the chipping field in a pre slot, in case an additional slot will be formed, if the width of face of an additional slot is large.

[0019] Moreover, in addition to said process, each means (1) and (2) can include the process which carries out a scribe to the groove bottom of a broad slot, or the front face by the side of the semi-conductor layer agenesis of the semi-conductor wafer corresponding to a broad slot, and forms a scribe line in it, and they can include further the process which braking-divides a semi-conductor wafer into a semiconductor chip with a scribe line as the starting point.

[0020] Moreover, in a means (2), it may form so that an additional slot may be attained to the front face by the side of the semi-conductor layer agenesis of a semi-conductor wafer, and you may divide into a semiconductor chip.

[0021]

[Embodiment of the Invention] [First operation gestalt] drawing 1 and drawing 2 show the chip division approach of the semi-conductor wafer concerning the first operation gestalt. First, if the semi-conductor wafer 1 to divide is explained, as shown in drawing 1 (a), this wafer 1 will consist of a substrate 2 and a semi-conductor layer 3 which constitutes the light emitting devices (light emitting diode, laser diode, etc.) formed on the front face, and this layer 3 will consist of main layers 11–16 and an electrode (illustration abbreviation).

[0022] The front face in which a substrate 2 becomes from sapphire, a flat-surface dimension configuration forms the square of 2 inches (about 5cm) in, and thickness forms 350 micrometers and a semi-conductor layer is the thing of the a-th page {11–20}. However, a substrate is not limited to this but can change suitably an ingredient (for example, the substrate which consists of GaN is used), a flat-surface dimension configuration, thickness, the crystal face, etc.

[0023] The main layers 11–16 are the gallium nitride system compound semiconductors (although a buffer layer is AlN, GaN is sufficient as it) all formed of metal-organic chemical vapor deposition. The AlN buffer layer 11 is first formed on a substrate 2, and the Si dope n mold GaN contact layer 12 is formed on this layer 11. The n mold GaN cladding layer 13 is formed on this layer 12, and the luminous layer 14 of the multiplex quantum well structure where the laminating of a GaN barrier layer and the InGaN well layer was carried out by turns is formed on this layer 13. The Mg dope p mold AlGaIn cladding layer 15 is formed on this layer 14, and the Mg dope p mold GaN contact layer 16 is formed on this layer 15. Although especially the thickness of the 11 to main layer 16 whole is not limited, it is 2–15 micrometers, for example.

[0024] However, main layers are not limited to this configuration, but changing the presentation of each class, or changing a luminous layer for example, into single quantum well structure, or excluding a buffer layer 11, in setting a substrate 2 to GaN, or establishing resonance structure in the case of laser diode etc. can change them suitably.

[0025] In addition <=7;=6>///&N0001=401&N0552=9&N0553= 000004" TARGET="tjitemdrw"> drawing 1 (a) is what showed the dimension relation of each part in drawing equivalent to drawing 2 (d) mentioned later. If the outline is explained in advance of explanation of the division approach, margin-width M is added to the both sides of the width of face W1 of the broad slot 5, it will set up as end cost S, this end cost S will be added to the chip effective width C, and it will set up as a division pitch P. Width of face W1 of the broad slot 5 is set into four steps, 40, 45, 50, or 55 micrometers, a margin width is set to 10 micrometers, it has and, specifically, the end cost S is made into four steps, 60, 65, 70, or 75 micrometers. Since chip effective width C is made into six steps, 300,

320, 340, 360, 380, or 400 micrometers, the division pitch P serves as a value which added end [four steps of] cost S to each chip effective width C . Moreover, width of face $W0$ of the pre slot 4 is set to 20 micrometers smaller than $W1$.

[0026] Now, the following process performs the chip division approach of the semi-conductor wafer 1 of this operation gestalt.

** As shown in drawing 2 (a), it is a front face by the side of the semi-conductor stratification of the semi-conductor wafer 1, and width of face $W0$ forms in the center section of the end cost S the pre slot 4 whose depth is about 15 micrometers by dicing by 20 micrometers. The depth of the pre slot 4 may be further applied to a substrate 2 for a while (for example, 1-10 micrometers) that what is necessary is just what removes the semi-conductor layer 3 by abbreviation overall thickness.

[0027] ** As shown in drawing 2 (b), it is a front face by the side of the semi-conductor stratification of the semi-conductor wafer 1, and as width of face $W1$ scoops out said pre slot 4, it forms the broad slot 5 whose depth is 30 micrometers by dicing by 40, 45, 50, or 55 micrometers relatively [cost / S / end]. Of course, the thing of a width of tooth according to $W1$ is used for a dicing cutting edge.

[0028] ** As shown in drawing 2 (c), carry out the thinning of this substrate 2 to about 100 micrometers in thickness uniformly by grinding the front face by the side of the semi-conductor layer agenesis with a thickness of 350 micrometers of a substrate 2 with a grinder.

[0029] ** As shown in drawing 1 (a) and drawing 2 (d), carry out a scribe to the front face by the side of the semi-conductor layer agenesis of the substrate 2 corresponding to the broad slot 5, and form the scribe line 6 in it.

[0030] ** As shown in drawing 2 (e), braking-divide the semi-conductor wafer 1 into many semiconductor chips 10 with the scribe line 6 as the starting point.

[0031] According to the chip division approach of this operation gestalt, the following effectiveness is acquired.

(1) If the dicing of the broad slot 5 is carried out as the pre slot 4 formed in advance of the broad slot 5 is scooped out, since an operation of a chip tending to be finely divided by existence of the pre slot 4 will arise, In spite of forming the deep broad slot 5 with a depth of 30 micrometers using a dicing cutting edge with a width of tooth of about 40-55 micrometers though the semi-conductor layer 3 which consists of the substrate 2 and gallium nitride system compound which consist of sapphire is very hard and, a chipping seldom occurs in the semi-conductor layer 3. Therefore, the yield improves, "excellent article of the semiconductor chip 10 except the defective by a chipping etc. can be taken, and number" increases from said conventional example. The result of the yield etc. is shown in the next table 1. The conventional example is explained with reference to drawing 7. It is the numeric value which it could take, and the rate could take "excellent article of the conventional example, and expressed number" relatively as 100.

[0032]

[Table 1]

チップ有効幅 C (mm)	切り代 S (mm)	総取れ数 (個)	歩留まり		良品の取れ数 (個)	取れ率
			従来例	本実施形態		
300	40	27778	75%		20833	100
	60	24414		85%	20752	100
	65	23669		90%	21302	102
	70	22957		95%	21809	105
	75	22277		95%	21163	102
320	40	24414	75%		18311	100
	60	21626		85%	18382	100
	65	21004		90%	18904	103
	70	20408		95%	19388	106
	75	19837		95%	18845	103
340	40	21626	75%		16220	100
	60	19290		85%	16397	101
	65	18765		90%	16889	104
	70	18262		95%	17348	107
	75	17778		95%	16889	104
360	40	19290	75%		14468	100
	60	17313		85%	14716	102
	65	16866		90%	15180	105
	70	16437		95%	15615	108
	75	16023		95%	15222	105
380	40	17313	75%		12985	100
	60	15625		85%	13281	102
	65	15242		90%	13717	106
	70	14872		95%	14128	109
	75	14516		95%	13790	106
400	40	15625	75%		11719	100
	60	14172		85%	12046	103
	65	13841		90%	12457	106
	70	13521		95%	12845	110
	75	13212		95%	12551	107

[0033] As this table 1, this operation gestalt could be taken and the rate became high no less than 1 to 10% rather than the conventional example. If the end cost S is greatly set up like this operation gestalt, the total number of **** of the semiconductor chip 10 which can be divided and taken from one semi-conductor wafer 1 will decrease (Table 1). However, since defect generating by the chipping of the semi-conductor layer 3 at the time of dicing can be prevented as aforementioned, "excellent article can be taken as a result and number" increases. This is the remarkable effectiveness in the way of thinking of an inversion.

[0034] (2) The dicing cutting edge with a large width of tooth has a long life, and a cost cut can be aimed at.

[0035] (3) Since the broad slot 5 where the depth is larger than the conventional example can be formed, braking can be easily performed by small thrust, and the following problem of (4) cannot occur easily.

[0036] (4) Since the width of face W1 of the broad slot 5 is set up greatly, even when the crack 9 generated with the scribe line 6 as the starting point at the time of braking progresses aslant to the thickness direction of a substrate 2 temporarily, finish as somewhere in groove bottoms of the broad slot 5, and don't attain to the semi-conductor layer 3. This also improves the yield.

[0037] In addition, in this operation gestalt, as shown in drawing 3 (a), after putting two pre slots 4 in order by dicing and forming them, as are shown in drawing 3 (b), and both the pre slot 4 is scooped out, the broad slot 5 can also be formed by dicing.

[0038] Moreover, as shown in drawing 4 (a), a scribe is carried out to the groove bottom of the broad slot 5, the scribe line 6 can be formed, and as shown in drawing 4 (b), braking can also be carried out with this scribe line 6 as the starting point.

[0039] By the chip division approach of the second operation gestalt shown in the [second operation gestalt] next drawing 5, and drawing 6, after forming the broad slot 5 where width of face is wide by dicing relatively [front face / by the side of the semi-conductor stratification of the semi-conductor wafer 1], the narrow additional slot 7 on the width of face is formed by dicing relatively [groove bottom / of this broad slot 5].

[0040] Although drawing 5 is what showed the dimension relation of each part in drawing equivalent to drawing 6 (d) mentioned later and the relation between the width of face W1 of the broad slot 5, margin-width M, the end cost S, and the chip effective width C is the same as the first operation gestalt, width of face W2 of the additional slot 7 is set to 20 micrometers smaller than the width of face W1 of the broad slot 5.

[0041] Now, the following process performs the chip division approach of the semi-conductor wafer 1 of this operation gestalt.

** As shown in drawing 6 (a), width of face W1 forms in the front face by the side of the semi-conductor stratification of the semi-conductor wafer 1 the broad slot 5 whose depth is about 20 micrometers by dicing by 40-55 micrometers. The depth of the broad slot 5 in this operation gestalt may be further applied to a substrate 2 for a while (for example, 1-10 micrometers) that what is necessary is just what removes the semi-conductor layer 3 by abbreviation overall thickness.

[0042] ** As shown in drawing 6 (b), the depth forms [width of face W2] the 20 micrometers (the depth from the front face of the semi-conductor layer 3 is 40 micrometers) additional slot 7 in the groove bottom of the broad slot 5 by dicing by 10-30 micrometers. Of course, the thing of a width of tooth according to W1 is used for a dicing cutting edge.

[0043] ** As shown in drawing 6 (c), carry out the thinning of this substrate 2 to about 100 micrometers in thickness uniformly by grinding the front face by the side of the semi-conductor layer ageness with a thickness of 350 micrometers of a substrate 2 with a grinder.

[0044] ** As shown in drawing 6 (d), carry out a scribe to the front face by the side of the semi-conductor layer ageness of the substrate 2 corresponding to the broad slot 5, and form the scribe line 6 in it.

[0045] ** As shown in drawing 6 (e), braking-divide the semi-conductor wafer 1 into many semiconductor chips 10 with the scribe line 6 as the starting point.

[0046] According to the chip division approach of this operation gestalt, the following effectiveness is acquired.

(1) Since what is necessary is just to form the broad slot 5 shallowly, a chipping seldom occurs in the semi-conductor layer 3 at the time of the dicing. Moreover, when forming the additional slot 7, there is almost no fear of the chipping of the semi-conductor layer 3. Therefore, the yield improves, "excellent article of the semiconductor chip 10 except the defective by a chipping etc. can be taken, and number" increases from said conventional example.

[0047] (2) The dicing cutting edge with a large width of tooth has a long life, and a cost cut can be aimed at.

[0048] (3) Due to the broad slot 5+ addition slot 7, since the slot where the depth is larger than the conventional example can be formed, braking can be easily performed by small thrust, and the following problem of (4) cannot occur easily.

[0049] (4) It is the same as the effectiveness (4) of the first operation gestalt.

[0050] In addition, instead of carrying out a scribe to the front face by the side of the semi-conductor layer ageness of a substrate 2, a scribe is carried out to the groove bottom of the additional slot 7, a scribe line (illustration abbreviation) can be formed and braking can also be carried out with this scribe line as the starting point.

[0051] Moreover, by forming so that the additional slot 7 may be attained to the front face by the side of the semi-conductor layer ageness of a substrate 2, the semi-conductor wafer 1 can be divided into a semiconductor chip, and braking can also be omitted.

[0052] In addition, this invention is not limited to said operation gestalt, in the range which does not deviate from the meaning of invention as follows, can be changed suitably and can also be materialized.

(1) A semiconductor chip may not be limited to a light emitting device, for example, electron devices, such as a photo detector and FET, are sufficient as it.

[0053]

[Effect of the Invention] According to the chip division approach of the semi-conductor wafer concerning this invention, the yield in division is raised, an excellent article can be taken and the outstanding effectiveness of the ability to make a number increasing is done so as explained in full detail above.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The chip division approach of the semi-conductor wafer concerning the first operation gestalt is shown, and the sectional view of the semi-conductor wafer with which (a) expresses the dimension relation of each part, and (b) are the top views of this semi-conductor wafer.

[Drawing 2] It is the sectional view showing this chip division approach in order of a process.

[Drawing 3] It is the sectional view showing the main point of the example of modification of this chip division approach.

[Drawing 4] It is the sectional view showing the main point of another example of modification of this chip division approach.

[Drawing 5] It is the sectional view of the semi-conductor wafer showing the dimension relation between the chip division approach and each part concerning the second operation gestalt.

[Drawing 6] It is the sectional view showing this chip division approach in order of a process.

[Drawing 7] It is the sectional view showing the chip division approach of the conventional example in order of a process.

[Description of Notations]

- 1 Semi-conductor Wafer
- 2 Substrate
- 3 Semi-conductor Layer
- 4 Pre Slot
- 5 Broad Slot
- 6 Scribe Line
- 7 Additional Slot
- 9 Crack
- 10 Semiconductor Chip
- W0 Width of face of a pre slot
- W1 Width of face of a broad slot
- W2 Width of face of an additional slot
- M Margin width
- S End cost
- C Chip effective width
- P Division pitch

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-284291
(P2001-284291A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/301		H 0 1 L 33/00	C 5 F 0 4 1
	33/00	H 0 1 S 5/323	5 F 0 7 3
H 0 1 S 5/323		H 0 1 L 21/78	Q
			R

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願2000-99893(P2000-99893)

(22) 出願日 平成12年3月31日(2000. 3. 31)

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1
番地

(72) 発明者 上村 俊也

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(72) 発明者 橘村 昌樹

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(74) 代理人 100096116

弁理士 松原 等

最終頁に続く

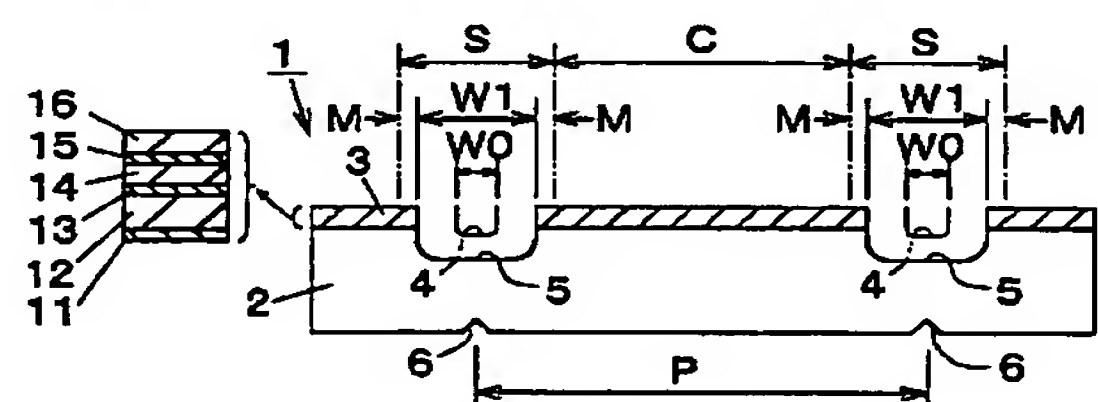
(54) 【発明の名称】 半導体ウエハのチップ分割方法

(57) 【要約】

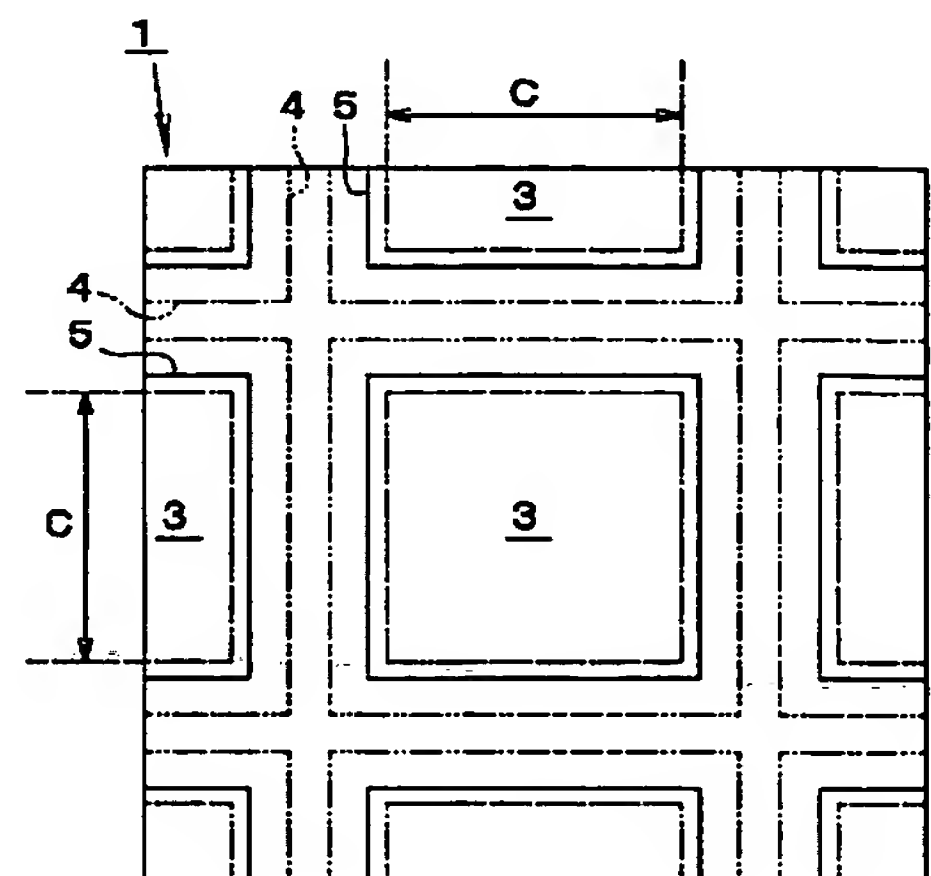
【課題】 分割における歩留まりを向上させて、良品の
取れ数を増加させる。

【解決手段】 半導体ウエハ1の半導体層形成側の表
面に相対的に幅W0の狭い且つ深さの浅いプレ溝4をダイ
シングにより形成する工程と、該表面に相対的に幅W
1の広い且つ深さの深い幅広溝5を前記プレ溝4をえぐ
り取るようにしてダイシングにより形成する工程とを含
む。幅広溝5の幅W1の両側にマージン幅Mを加えて切
り代Sとして設定し、該切り代Sをチップ有効幅Cに加
えて分割ピッチPとして設定する。

(a)



(b)



【特許請求の範囲】

【請求項 1】 基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法において、前記半導体ウエハーの半導体層形成側の表面に相対的に幅の狭い且つ深さの浅いプレ溝をダイシングにより形成する工程と、該表面であって切り代に相対的に幅の広い且つ深さの深い幅広溝を前記プレ溝をえぐり取るようにしてダイシングにより形成する工程とを含むことを特徴とする半導体ウエハーのチップ分割方法。

【請求項 2】 基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法において、前記半導体ウエハーの半導体層形成側の表面に相対的に幅の広い幅広溝をダイシングにより形成する工程と、該幅広溝の溝底に相対的に幅の狭い追加溝をダイシングにより形成する工程とを含むことを特徴とする半導体ウエハーのチップ分割方法。

【請求項 3】 前記基板がモース硬度 8 以上の高硬度材料よりなる請求項 1 又は 2 記載の半導体ウエハーのチップ分割方法。

【請求項 4】 前記基板がサファイア又は GaN よりなり、前記半導体層が窒化ガリウム系化合物半導体よりなる請求項 1 又は 2 記載の半導体ウエハーのチップ分割方法。

【請求項 5】 前記幅広溝の幅の両側にマージン幅を加えて切り代として設定し、該切り代をチップ有効幅に加えて分割ピッチとして設定する請求項 1～4 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 6】 前記幅広溝の幅を $30 \sim 65 \mu\text{m}$ 、マージン幅を $5 \sim 15 \mu\text{m}$ とし、もって切り代を $60 \sim 75 \mu\text{m}$ とする請求項 5 記載の半導体ウエハーのチップ分割方法。

【請求項 7】 前記プレ溝の幅を $10 \sim 30 \mu\text{m}$ とする請求項 1、3、4、5 又は 6 記載の半導体ウエハーのチップ分割方法。

【請求項 8】 前記追加溝の幅を $10 \sim 30 \mu\text{m}$ とする請求項 2、3、4、5 又は 6 記載の半導体ウエハーのチップ分割方法。

【請求項 9】 前記幅広溝の溝底又は前記幅広溝に対応する半導体ウエハーの半導体層非形成側の表面にスクライプしてスクライプラインを形成する工程を含む請求項 1～8 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 10】 前記半導体ウエハーを前記スクライプラインを起点にブレーキングして半導体チップに分割する工程を含む請求項 9 記載の半導体ウエハーのチップ分割方法。

【請求項 11】 前記追加溝を半導体ウエハーの半導体層非形成側の表面まで達するように形成して半導体チップに分割する請求項 2 記載の半導体ウエハーのチップ分割方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法に関するものである。

【0002】

【従来の技術】 半導体ウエハーを分割する方法としては、ウエハーにダイシングにより溝を形成したり又はスクライプによりスクライプラインを形成したりした後、ブレーキングにより前記溝又はスクライプラインを起点とすると共にそれらに沿ってウエハーを割る方法が一般的である。ダイシングとは、ダイサー（ダイシングソー）の回転刃とウエハーとを相対移動させてウエハーにダイシング溝を形成する方法である。スクライプとは、スクライパーの先鋭刃とウエハーとを相対移動させてウエハーにスクライプラインを形成する方法である。ブレーキングとは、押圧刃や押圧ローラでウエハーを押圧して三点曲げを行うことによりウエハーを割る方法である。

【0003】 高硬度材料（例えばサファイア、GaN 等）よりなる基板を用いた半導体ウエハーにおいては、浅いダイシング溝又はスクライプラインを形成しただけでは、ブレーキングによりウエハーを割ることが困難なため、深くダイシングしたり、基板を大幅に薄肉化してからスクライプしたりする等の工夫を加えた後に、ブレーキングする必要があった。例えば、サファイア基板の表面上に窒化ガリウム系化合物半導体が積層されたウエハーをチップ状に分割する一方法を、図 7 を参照して説明する。

【0004】 ① 半導体ウエハー 51 の半導体層 53 形成側の表面であって切り代 S の中央部に溝 55 をダイシングにより形成する。

サファイア基板 52 の半導体層非形成側の表面を研磨することにより、該基板 52 を一様に薄肉化する。

この薄肉化で現れた半導体層非形成側の表面であって前記溝 55 に対応する位置にスクライプライン 56 をスクライプにより形成する。

スクライプライン 56 を起点にしてブレーキングし、多数の半導体チップ 60 に分割する。

【0005】 ここで、溝 55 の幅 W の両側にマージン幅 M をとって切り代 S とし、該切り代 S をチップ有効幅 C に加えた値を分割ピッチ P として設定する。そして、現在の窒化ガリウム系化合物半導体発光素子は、概ねチップ有効幅 C を $300 \sim 400 \mu\text{m}$ として製造されており、図 7 のチップ有効幅 C を例えば $320 \mu\text{m}$ とする。

【0006】 従来は、切り代 S を小さくするほど一枚の半導体ウエハー 51 から分割して取れる半導体チップ 60 の総取れ数が多くなるとの観点から、切り代 S を $40 \mu\text{m}$ （分割線の両側の値：片側は $20 \mu\text{m}$ ずつ）程度と小さく設定していた。そして、半導体層 3 のチップング

による不良発生を防ぐために、マージン幅M（片側の値）を $10\mu\text{m}$ 程度とっており、結局、溝55の幅Wを $20\mu\text{m}$ 程度に小さくしていた。すなわち、刃幅 $20\mu\text{m}$ 程度のダイシング刃（回転刃）を使用して、溝55を形成していた。

【0007】

【発明が解決しようとする課題】ところが、上記チップ分割方法には、次のような問題があった。

（1）サファイアよりなる基板52及び窒化ガリウム系化合物よりなる半導体層53は非常に硬質であるため、刃幅 $20\mu\text{m}$ 以上のダイシング刃を使用して深さ $20\mu\text{m}$ 以上の深い溝55を形成しようとする、半導体層53のチップングが激しく発生する。従って、通常は深さ $10\sim 20\mu\text{m}$ 程度の溝55しか形成できないが、その程度の深さであっても、半導体層53のチップングはかなりの頻度で発生しており、歩留まりが悪かった。このため、チップング等による不良品を除いた半導体チップ60の「良品の取れ数」は、必ずしもベストな数字とはいえなかった。

【0008】（2）刃幅の小さいダイシング刃は寿命が短く、コストがかかる。

【0009】（3）深さ $10\sim 20\mu\text{m}$ 程度の溝55しか形成できないことから、ブレーキングに大きい押圧力を必要とし、また、次の（4）の問題が起きやすくなる。

【0010】（4）ブレーキング時に、スクライブライン56を起点にして発生する亀裂59は、基板52の略厚さ方向に進展して、溝55の溝底のどこかで終わることを想定している。しかし、溝55の幅Wが $20\mu\text{m}$ 程度と小さいため、図7の右側に示すように、亀裂59が厚さ方向に対して斜めに進展した場合、溝55を外れて半導体層53にまで及ぶことがあり、これも歩留まりを悪くする一因となっていた。

【0011】本発明の目的は、上記課題を解決し、分割における歩留まりを向上させて、良品の取れ数を増加させることができる半導体ウエハーのチップ分割方法を提供することにある。

【0012】

【課題を解決するための手段】（1）第一の本発明は、基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法において、前記半導体ウエハーの半導体層形成側の表面であって切り代の中央部に相対的に幅の狭い且つ深さの浅いプレ溝をダイシングにより形成する工程と、該表面であって切り代に相対的に幅の広い且つ深さの深い幅広溝を前記プレ溝をえぐり取るようにしてダイシングにより形成する工程とを含むことを特徴とする。相対的に…とは、勿論、プレ溝と幅広溝との相対関係である。

【0013】（2）基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法に

おいて、前記半導体ウエハーの半導体層形成側の表面に相対的に幅の広い幅広溝をダイシングにより形成する工程と、該幅広溝の溝底に相対的に幅の狭い追加溝をダイシングにより形成する工程とを含むことを特徴とする。相対的に…とは、勿論、幅広溝と追加溝との相対関係である。

【0014】ここで、「ダイシング」は、例えばダイヤモンド砥粒の付着した回転刃等にて行う通常の方法でよい。

【0015】上記各手段（1）（2）は、基板の構成材料により限定されるものではないが、基板がモース硬度8以上の高硬度材料よりなるものである場合に特に有効である。例えば、基板がサファイア又はGaNよりなり、半導体層が窒化ガリウム系化合物半導体よりなる半導体ウエハーの分割に特に有効である。

【0016】各手段（1）（2）において、幅広溝の幅の両側にマージン幅を加えて切り代として設定し、該切り代をチップ有効幅に加えて分割ピッチとして設定することが好ましい。幅広溝、マージン幅及び切り代は特に限定されないが、幅広溝の幅を $30\sim 65\mu\text{m}$ 、マージン幅を $5\sim 15\mu\text{m}$ とし、もって切り代を $60\sim 75\mu\text{m}$ とすることが好ましく、特に基板がモース硬度8以上の高硬度材料よりなる場合に好ましい。幅広溝の幅が小さいと、①ブレーキング時に発生する亀裂が基板の厚さ方向に対して斜めに進展した場合に、亀裂が幅広溝を逸れて半導体層に及ぶ確率が高くなる。また、幅広溝の溝底にスクライブラインを形成する場合には、カッターが幅広溝の幅広溝内に入りにくくなり、スクライブラインが正常に形成されなくなる。また、幅広溝の深さを大きくするとチップングが生じやすくなる。一方、幅広溝の幅が大きすぎると、チップング防止による歩留まりの向上にも拘わらず、取れ数が少なくなる。

【0017】また、手段（1）において、プレ溝の幅は、特に限定されないが、 $10\sim 30\mu\text{m}$ とすることが好ましい。プレ溝の幅が小さすぎると幅広溝を形成する際にチップングが生じやすくなり、プレ溝の幅が大きいとプレ溝を形成する際にチップングが生じやすくなる。

【0018】また、手段（2）において、追加溝の幅は、特に限定されないが、 $10\sim 30\mu\text{m}$ とすることが好ましい。追加溝の幅が小さすぎると深い追加溝を形成することが困難になるとともにダイシング刃が割れやすくなり、追加溝の幅が大きいと追加溝を形成する際にチップングが生じやすくなり、そのチップング領域がプレ溝内に収まらないで半導体層に及びやすくなる。

【0019】また、各手段（1）（2）は、前記工程に加え、幅広溝の溝底又は幅広溝に対応する半導体ウエハーの半導体層非形成側の表面にスクライブしてスクライブラインを形成する工程を含むことができ、さらに、半導体ウエハーをスクライブラインを起点にブレーキングして半導体チップに分割する工程を含むことができる。

【0020】また、手段（2）においては、追加溝を半導体ウエハーの半導体層非形成側の表面まで達するように形成して半導体チップに分割してもよい。

【0021】

【発明の実施の形態】【第一実施形態】図1及び図2は、第一実施形態に係る半導体ウエハーのチップ分割方法を示している。まず、分割する半導体ウエハー1について説明すると、図1（a）に示すように、同ウエハー1は、基板2とその表面上に形成された発光素子（発光ダイオード、レーザーダイオード等）を構成する半導体層3とからなり、同層3は主要層11～16と電極（図示略）とからなる。

【0022】基板2は、サファイアよりなり、平面寸法形状が例えば2インチ（約5cm）の正方形、厚さが350 μ m、半導体層を形成する表面がa面〔11-20〕のものである。但し、基板はこれに限定されず、材料（例えばGa₂Nよりなる基板を用いる等）、平面寸法形状、厚さ、結晶面等を適宜変更できる。

【0023】主要層11～16は、いずれも有機金属気相成長法により形成された窒化ガリウム系化合物半導体（バッファ層はAlNであるがGa₂Nでもよい）であり、まず基板2の上にAlNバッファ層11が形成され、同層11の上にSiドープn型Ga₂Nコンタクト層12が形成され、同層12の上にn型Ga₂Nクラッド層13が形成され、同層13の上にGa₂N障壁層とInGa₂N井戸層とが交互に積層された多重量子井戸構造の発光層14が形成され、同層14の上にMgドープp型AlGa₂Nクラッド層15が形成され、同層15の上にMgドープp型Ga₂Nコンタクト層16が形成されている。主要層11～16全体の厚さは、特に限定されないが、例えば2～15 μ mである。

【0024】但し、主要層はこの構成に限定されず、各層の組成を変更したり、発光層を例えば単一量子井戸構造に変更したり、基板2をGa₂Nにする場合にはバッファ層11を省いたり、レーザーダイオードの場合には共振構造を設けたりする等、適宜変更できる。

【0025】なお、図1（a）は、後述する図2（d）に相当する図に各部の寸法関係を示したもので、分割方法の説明に先立って概略を説明しておく、幅広溝5の幅W1の両側にマージン幅Mを加えて切り代Sとして設定し、該切り代Sをチップ有効幅Cに加えて分割ピッチPとして設定する。具体的には、幅広溝5の幅W1を40、45、50又は55 μ mの四段階、マージン幅を10 μ mとし、もって切り代Sを60、65、70又は75 μ mの四段階とする。チップ有効幅Cは300、320、340、360、380又は400 μ mの六段階と

するので、分割ピッチPは各チップ有効幅Cに四段階の切り代Sを加えた値となる。また、プレ溝4の幅W0を、W1より小さい20 μ mとする。

【0026】さて、本実施形態の半導体ウエハー1のチップ分割方法は、次の工程により行う。

① 図2（a）に示すように、半導体ウエハー1の半導体層形成側の表面であって切り代Sの中央部に幅W0が20 μ mで、深さが約15 μ mのプレ溝4をダイシングにより形成する。プレ溝4の深さは、半導体層3を略全厚分除去するものであればよく、さらに基板2に少し（例えば1～10 μ m）かかってもよい。

【0027】図2（b）に示すように、半導体ウエハー1の半導体層形成側の表面であって切り代Sに相対的に幅W1が40、45、50又は55 μ mで、深さが30 μ mの幅広溝5を前記プレ溝4をえぐり取るようにしてダイシングにより形成する。勿論、ダイシング刃にはW1に応じた刃幅のものを使用する。

【0028】図2（c）に示すように、厚さ350 μ mの基板2の半導体層非形成側の表面を研磨盤により研磨することにより、該基板2を一様に厚さ100 μ m程度にまで薄肉化する。

【0029】図1（a）及び図2（d）に示すように、幅広溝5に対応する基板2の半導体層非形成側の表面にスクライブしてスクライブライン6を形成する。

【0030】図2（e）に示すように、半導体ウエハー1をスクライブライン6を起点にブレーキングして、多数の半導体チップ10に分割する。

【0031】本実施形態のチップ分割方法によれば、次のような効果が得られる。

（1）幅広溝5に先立って形成されたプレ溝4をえぐり取るようにして幅広溝5をダイシングすると、プレ溝4の存在によって切りくずが細かく分断されやすい等の作用が生じるため、サファイアよりなる基板2及び窒化ガリウム系化合物よりなる半導体層3が非常に硬質であるとしても、また、刃幅40～55 μ m程度のダイシング刃を使用して深さ30 μ mの深い幅広溝5を形成するにも拘わらず、半導体層3にはあまりチップングが発生しない。従って、歩留まりが向上し、チップング等による不良品を除いた半導体チップ10の「良品の取れ数」は、前記従来例よりも増加する。次の表1に歩留まりの結果等を示す。従来例は、図7を参照して説明したものである。取れ率は、従来例の「良品の取れ数」を100として相対的に表した数値である。

【0032】

【表1】

チップ有効 幅C (mm)	切り代S (mm)	総取れ数 (個)	歩留まり		良品の取 れ数 (個)	取れ率
			従来例	本実施形態		
300	40	27778	75%		20833	100
	60	24414		85%	20752	100
	65	23669		90%	21302	102
	70	22957		95%	21809	105
	75	22277		95%	21163	102
320	40	24414	75%		18311	100
	60	21626		85%	18382	100
	65	21004		90%	18904	103
	70	20408		95%	19388	106
	75	19837		95%	18845	103
340	40	21626	75%		16220	100
	60	19290		85%	16397	101
	65	18765		90%	16889	104
	70	18262		95%	17348	107
	75	17778		95%	16889	104
360	40	19290	75%		14468	100
	60	17313		85%	14716	102
	65	16866		90%	15180	105
	70	16437		95%	15615	108
	75	16023		95%	15222	105
380	40	17313	75%		12985	100
	60	15625		85%	13281	102
	65	15242		90%	13717	106
	70	14872		95%	14128	109
	75	14516		95%	13790	106
400	40	15625	75%		11719	100
	60	14172		85%	12046	103
	65	13841		90%	12457	106
	70	13521		95%	12845	110
	75	13212		95%	12551	107

【0033】同表1の通り、本実施形態は、取れ率が従来例よりも1～10%も高くなった。本実施形態のように切り代Sを大きく設定すると、一枚の半導体ウエハー1から分割して取れる半導体チップ10の総取れ数は少なくなる(表1)。しかし、前記の通り、ダイシング時の半導体層3のチップングによる不良発生を防ぐことができるために、結果として「良品の取れ数」は増加する。これは逆転の発想による顕著な効果である。

【0034】(2) 刃幅の大きいダイシング刃は寿命が長く、コストダウンを図れる。

【0035】(3) 従来例より深さの大きい幅広溝5を形成できることから、ブレーキングを小さい押圧力で容易に行うことができ、また、次の(4)の問題が起きにくい。

【0036】(4) 幅広溝5の幅W1を大きく設定するので、ブレーキング時にスクライブライン6を起点にして発生する亀裂9が、仮に基板2の厚さ方向に対して斜めに進展した場合でも、幅広溝5の溝底のどこかで終わり、半導体層3にまでは及ばない。このことも歩留まりを良くする。

【0037】なお、本実施形態において、図3(a)に示すように、二つのプレ溝4をダイシングにより並べて形成した後、図3(b)に示すように、両プレ溝4をえぐり取るようにして幅広溝5をダイシングにより形成することもできる。

【0038】また、図4(a)に示すように、幅広溝5の溝底にスクライブしてスクライブライン6を形成し、図4(b)に示すように、該スクライブライン6を起点

にブレーキングすることもできる。

【0039】[第二実施形態] 次に、図5及び図6に示す第二実施形態のチップ分割方法では、半導体ウエハー1の半導体層形成側の表面に相対的に幅の広い幅広溝5をダイシングにより形成した後、該幅広溝5の溝底に相対的に幅の狭い追加溝7をダイシングにより形成する。

【0040】図5は、後述する図6(d)に相当する図に各部の寸法関係を示したもので、幅広溝5の幅W1、マージン幅M、切り代S、及びチップ有効幅Cの関係は第一実施形態と同じであるが、追加溝7の幅W2を幅広溝5の幅W1より小さい20μmとする。

【0041】さて、本実施形態の半導体ウエハー1のチップ分割方法は、次の工程により行う。

① 図6(a)に示すように、半導体ウエハー1の半導体層形成側の表面に幅W1が40～55μmで、深さが約20μmの幅広溝5をダイシングにより形成する。本実施形態における幅広溝5の深さは、半導体層3を略全厚分除去するものであればよく、さらに基板2に少し(例えば1～10μm)かかってもよい。

【0042】図6(b)に示すように、幅広溝5の溝底に幅W2が10～30μmで、深さが20μm(半導体層3の表面からの深さは40μm)の追加溝7をダイシングにより形成する。勿論、ダイシング刃にはW1に応じた刃幅のものを使用する。

【0043】図6(c)に示すように、厚さ350μmの基板2の半導体層非形成側の表面を研磨盤により研磨することにより、該基板2を一様に厚さ100μm程度にまで薄肉化する。

【0044】④ 図6(d)に示すように、幅広溝5に対応する基板2の半導体層非形成側の表面にスクライブしてスクライブライン6を形成する。

【0045】 図6(e)に示すように、半導体ウエハー1をスクライブライン6を起点にブレーキングして、多数の半導体チップ10に分割する。

【0046】本実施形態のチップ分割方法によれば、次のような効果が得られる。

(1) 幅広溝5は浅く形成すればよいので、そのダイシング時に半導体層3にあまりチップングが発生しない。また、追加溝7を形成するときは、半導体層3のチップングのおそれはほとんどない。従って、歩留まりが向上し、チップング等による不良品を除いた半導体チップ10の「良品の取れ数」は、前記従来例よりも増加する。

【0047】(2) 刃幅の大きいダイシング刃は寿命が長く、コストダウンを図れる。

【0048】(3) 幅広溝5+追加溝7により、従来例より深さの大きい溝を形成できることから、ブレーキングを小さい押圧力で容易に行うことができ、また、次の(4)の問題が起きにくい。

【0049】(4) 第一実施形態の効果(4)と同じである。

【0050】なお、基板2の半導体層非形成側の表面にスクライブする代わりに、追加溝7の溝底にスクライブしてスクライブライン(図示略)を形成し、該スクライブラインを起点にブレーキングすることもできる。

【0051】また、追加溝7を基板2の半導体層非形成側の表面まで達するように形成することにより半導体ウエハー1を半導体チップに分割し、ブレーキングを省略することもできる。

【0052】なお、本発明は前記実施形態に限定されるものではなく、例えば以下のように、発明の趣旨から逸脱しない範囲で適宜変更して具体化することもできる。

(1) 半導体チップは発光素子に限定されず、例えば受光素子やFET等の電子デバイスでもよい。

【0053】

【発明の効果】以上詳述した通り、本発明に係る半導体

ウエハーのチップ分割方法によれば、分割における歩留まりを向上させて、良品の取れ数を増加させることができる、という優れた効果を奏する。

【図面の簡単な説明】

【図1】第一実施形態に係る半導体ウエハーのチップ分割方法を示し、(a)は各部の寸法関係を表す半導体ウエハーの断面図、(b)は該半導体ウエハーの平面図である。

【図2】同チップ分割方法を工程順に示す断面図である。

【図3】同チップ分割方法の変更例の要点を示す断面図である。

【図4】同チップ分割方法の別の変更例の要点を示す断面図である。

【図5】第二実施形態に係るチップ分割方法と各部の寸法関係を表す半導体ウエハーの断面図である。

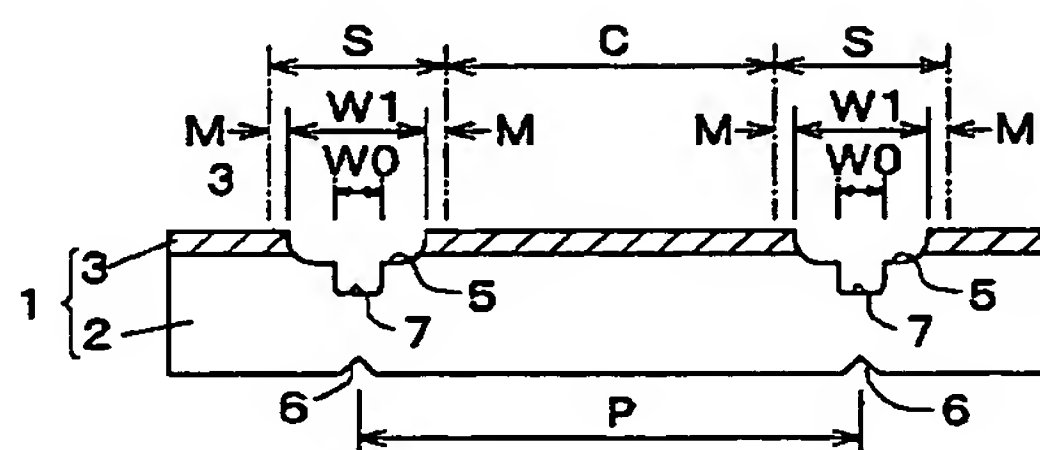
【図6】同チップ分割方法を工程順に示す断面図である。

【図7】従来例のチップ分割方法を工程順に示す断面図である。

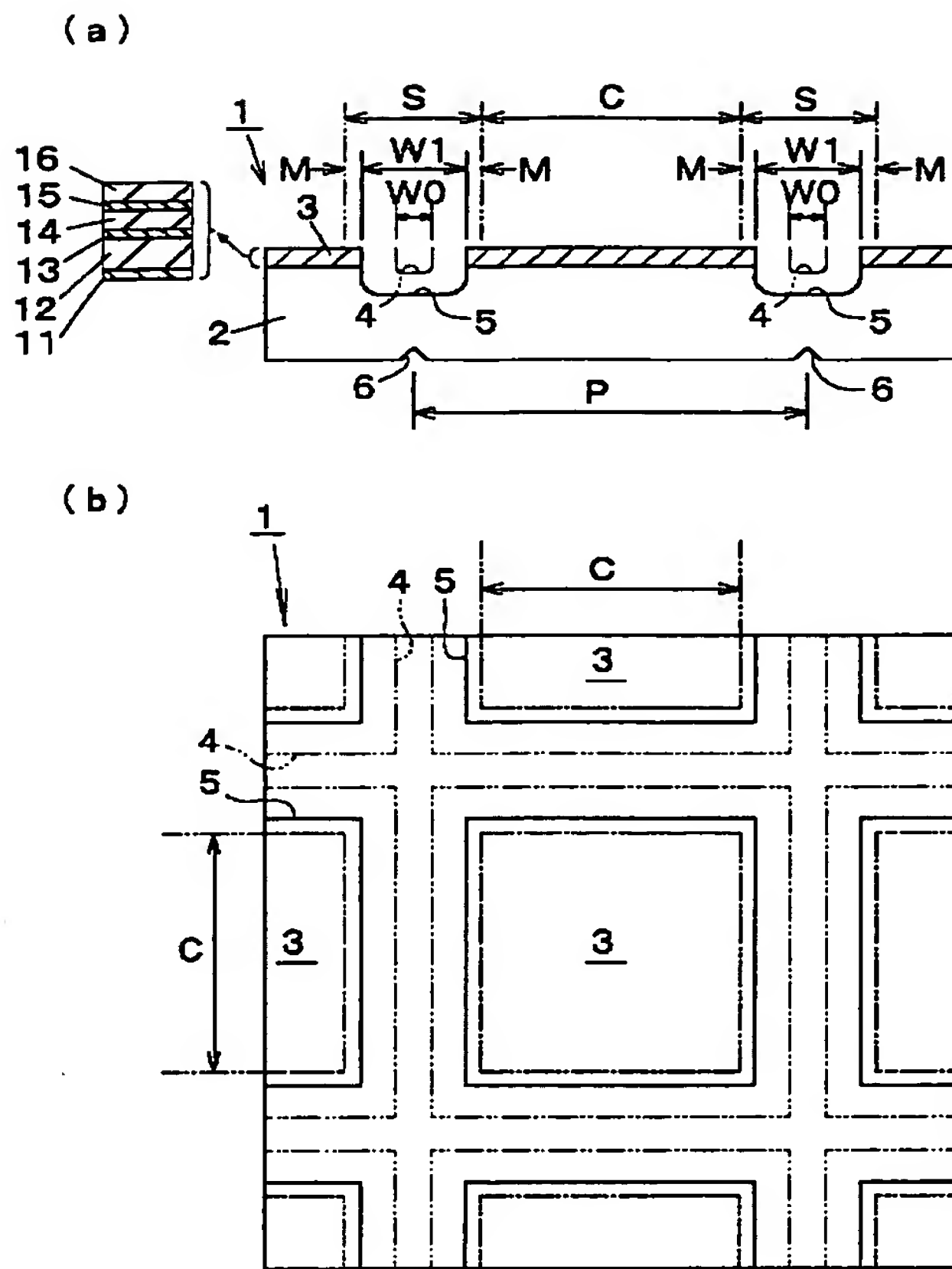
【符号の説明】

- | | |
|----|----------|
| 1 | 半導体ウエハー |
| 2 | 基板 |
| 3 | 半導体層 |
| 4 | プレ溝 |
| 5 | 幅広溝 |
| 6 | スクライブライン |
| 7 | 追加溝 |
| 9 | 亀裂 |
| 10 | 半導体チップ |
| W0 | プレ溝の幅 |
| W1 | 幅広溝の幅 |
| W2 | 追加溝の幅 |
| M | マージン幅 |
| S | 切り代 |
| C | チップ有効幅 |
| P | 分割ピッチ |

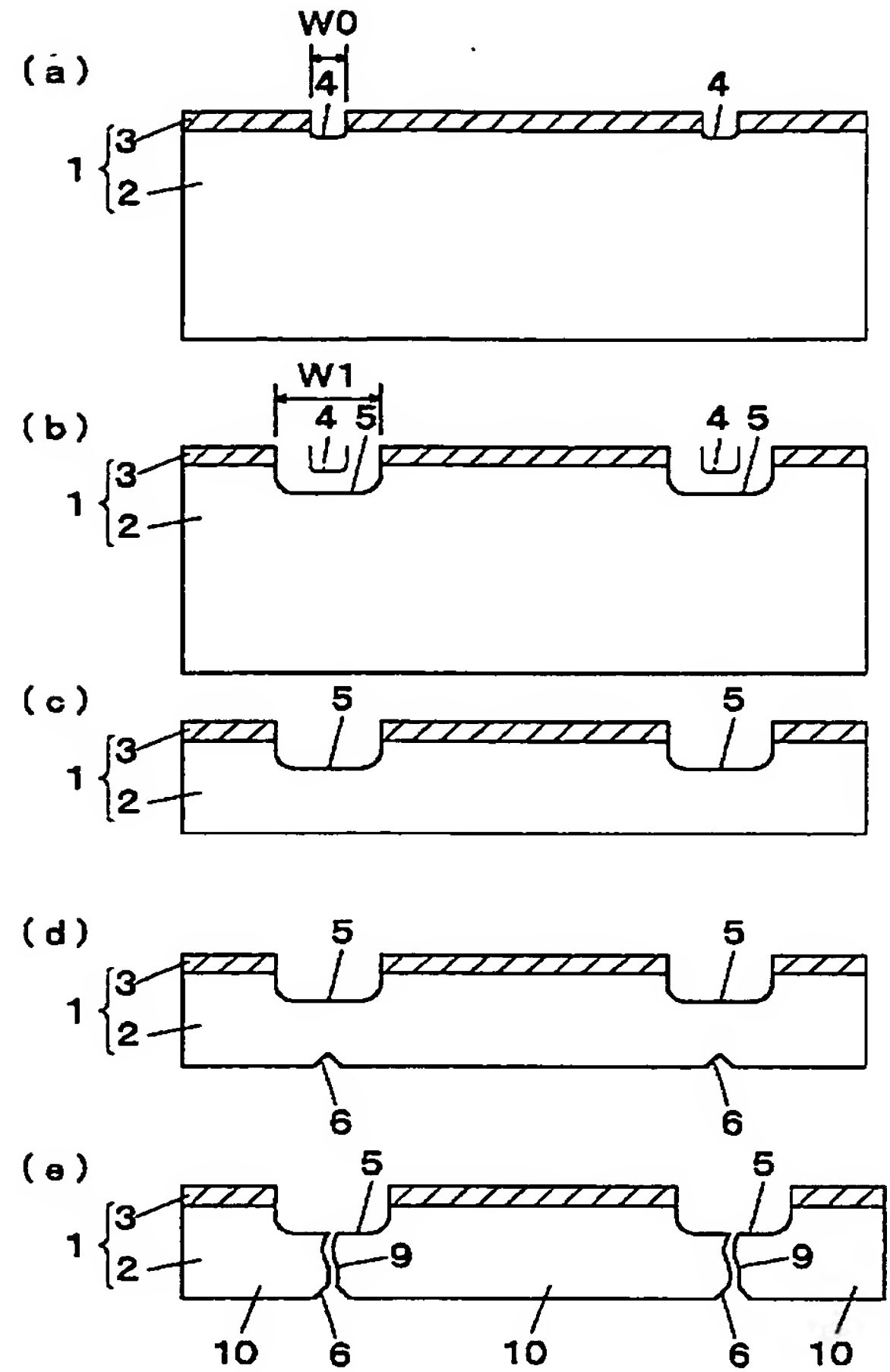
【図5】



【図1】

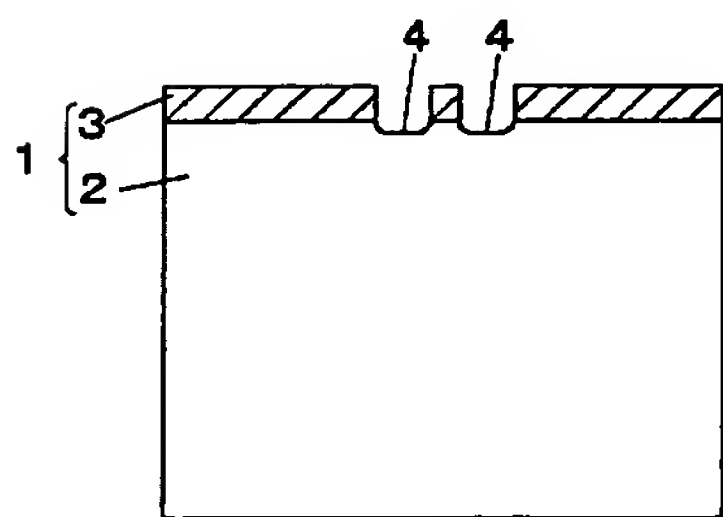


【図2】



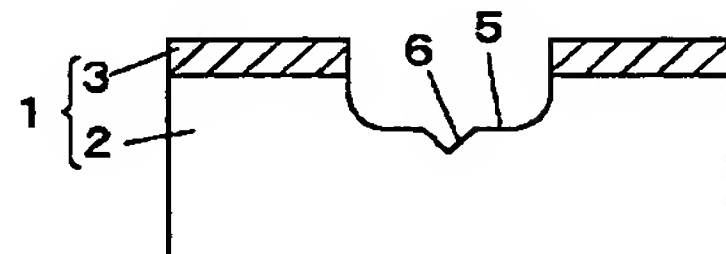
【図3】

(a)

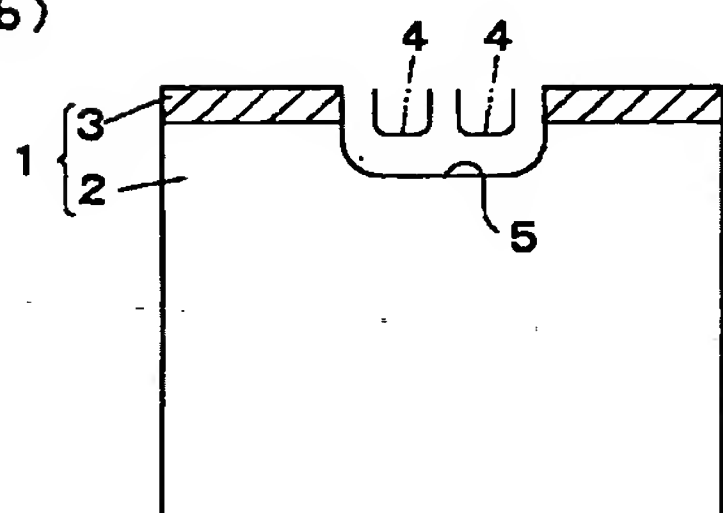


【図4】

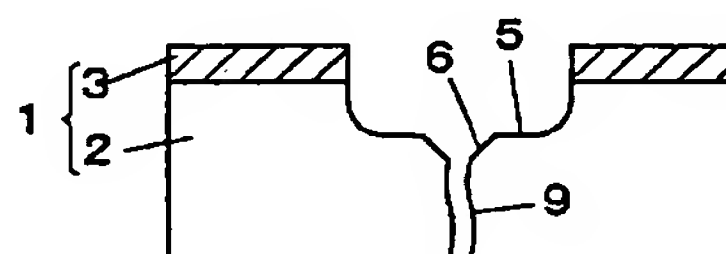
(a)



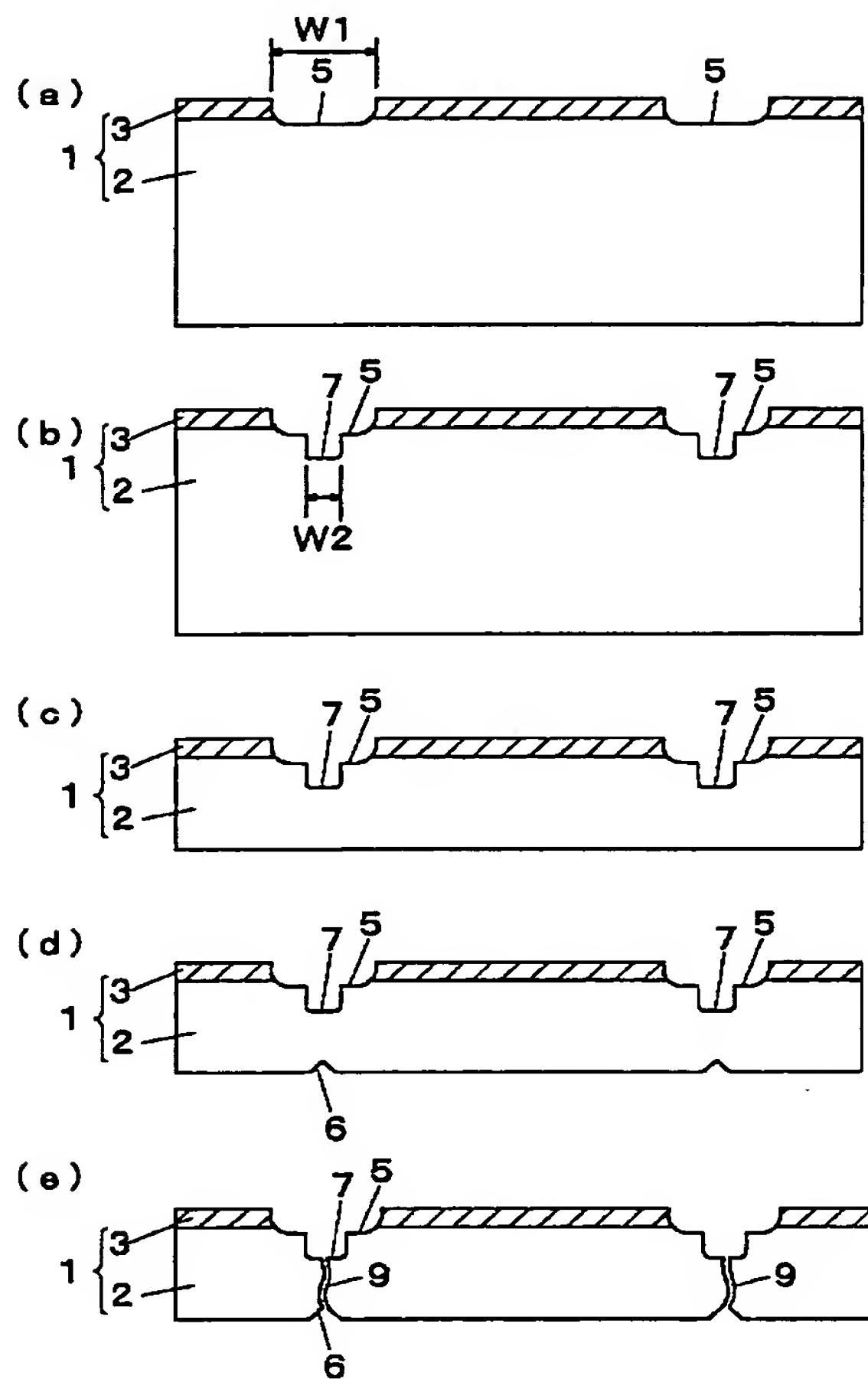
(b)



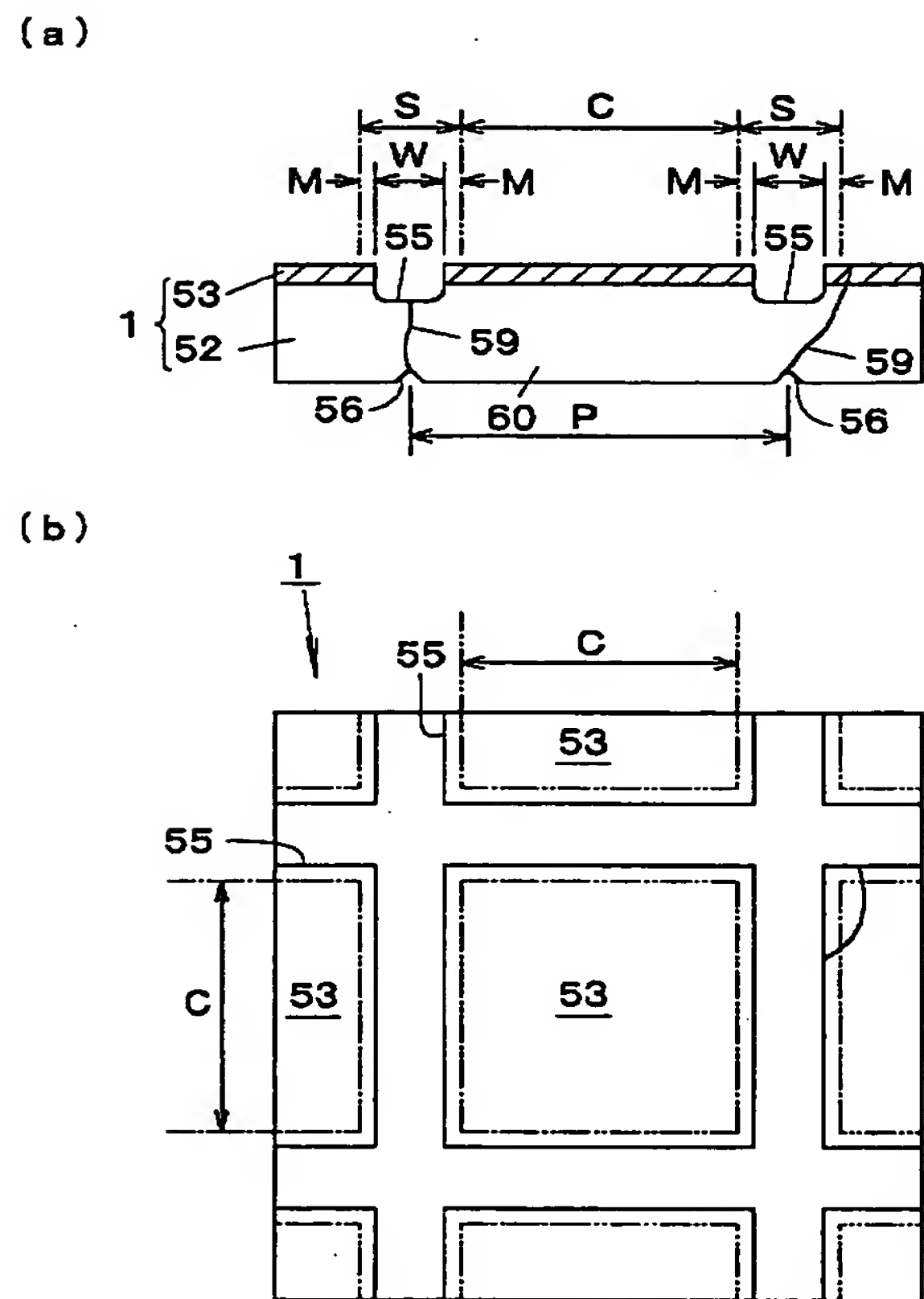
(b)



【図6】



【図7】



フロントページの続き

Fターム(参考) 5F041 AA41 CA34 CA40 CA46 CA65
CA76
5F073 AA74 CA07 CB02 CB05 DA34